

(19) Japanese Patent Office (JP) (11) Patent Application Publication

(12) Laid-Open Patent Application (A) H2-1962

(51) Int.Cl.⁵ Identification Code In-Office Serial No. (43) Published Heisei-2 (1990)-1-8

H 01 L 25/04

5 25/065
25/07
25/18

7638-5F

H 01 L 25/04

Z

7638-5F

25/08

B

10 Request for Exam.: None Number of Claims: 3 (9 pages in total)

(54) Title of the Invention Semiconductor Apparatus

(21) Patent Application Number S63-144315

(22) Filed S63 (1988) June 10

15 (72) Inventor Miyoshi YOSHIDA
c/o Mitsubishi Electric Corporation, LSI Lab
4-1 Mizuhara, Itami-shi, Hyogo-ken

(71) Applicant Mitsubishi Electric Corporation

2-2-3 Marunouchi, Chiyoda-ku, Tokyo-to

20 (74) Agent Patent Attorney, Masuo OOIWA and two others

25

SPECIFICATION

30 1. **TITLE OF THE INVENTION**

Semiconductor Apparatus

2. **CLAIMS**

(Omitted)

35

3. **DETAILED DESCRIPTION OF THE INVENTION**

[Field of Industrial Application]

The present invention relates to a semiconductor apparatus in which a plurality of semiconductor chips, which are electrically interconnected, are densely mounted.

5

[Related Art]

Fig. 11 is an external perspective view showing a conventional semiconductor apparatus of this sort, and Fig. 12 is a front elevational view of that semiconductor apparatus. In the drawings, 1 indicates an insulative substrate on whose surface a 10 wiring is formed, and on the reverse side thereof, there are formed a plurality of external electrodes 2, which connect with the outside electrically. These external electrodes 2 are electrically connected to the wiring on the surface. A plurality of semiconductor chips 3 are fixed on the surface of the insulative substrate 1.

Fig. 13 is a perspective view showing a cross section of a portion of the 15 semiconductor chip 3 mentioned above. The semiconductor chip 3 is configured such that a circuit section 5 having various functions (for example, active functions such as storage, computation, amplification, drive and the like) is formed in a silicon semiconductor substrate 4 having the shape of a rectangular parallelepiped of a planar form. On one of the faces are formed a plurality of electrodes 6 formed of a 20 metal such as Al, Cu, Au, solder or the like. Then, through contact portions 7 including a diffusion layer and a metal formed in the silicon semiconductor substrate 4; the circuit portion 5 mentioned above is electrically connected to the electrodes 6 on the surface.

In the semiconductor apparatus shown in Fig. 11 and Fig. 12, by electrically 25 connecting the electrodes 6 of each semiconductor chip 3 to the wiring formed on the insulative substrate 1, the semiconductor chips 3 are each interconnected via the wiring on the insulative substrate 1, and the semiconductor chips 3 are each fixed to the insulative substrate 1. Although not shown in Fig. 11 nor Fig. 12, a sealing member is 30 separately provided on the insulative substrate 1 in order to protect the semiconductor chips 3 and the wiring, which electrically interconnects them, from external environments.

In a semiconductor apparatus thus configured, since the plurality of semiconductor chips 3 are electrically interconnected via the wiring on the insulative substrate 1, the circuit section 5 of each semiconductor chip 3 is combined, thereby 35 configuring a circuit with more advanced functions, and signals can be transferred between the circuit thus obtained and the outside via the external electrodes 2 formed

on the insulative substrate 1.

[Problems to be Solved by the Invention]

Since a conventional semiconductor apparatus, as mentioned above, adopts a configuration in which the semiconductor chips 3 are fixed on the insulative substrate 1 by electrically connecting the electrodes 6 formed on one face of the semiconductor chips 3 to the wiring formed on the insulative substrate 1, a plurality of the semiconductor chips 3 have to be provided in a plane on the insulative substrate 1. However, with such a configuration, if the number of the semiconductor chips 3 mounted on the insulative substrate 1 were to be increased in order to improve the functions and performance of the semiconductor apparatus, the area of the insulative substrate 1 would have to be increased accordingly, on top of which the wiring that interconnects each semiconductor chip 3 becomes longer, and attenuation and propagation delay of the electrical signals outputted from each semiconductor chip 3 become greater, and the semiconductor chips 3 cannot be made to perform to their best potential. Therefore, in conventional semiconductor apparatuses, there was a problem in that the number of semiconductor chips could not be increased too much, and the functions of the semiconductor apparatuses could not be improved sufficiently.

The present invention has been made to solve such problems, and makes it its object to obtain a semiconductor apparatus in which a drop in performance is kept small while many semiconductor chips can be mounted densely.

[Means for Solving the Problem]

In a first mode, a semiconductor apparatus according to the present invention is one where a plurality of semiconductor chips having an electrode extension conductor, each of which is formed such that an electrode extension conductor extending along the surface of a semiconductor chip is electrically connected to each of the electrodes formed on the surface of the semiconductor chip, are laid over one another such that the electrode extension conductors of adjacent semiconductor chips having an electrode extension conductor are electrically interconnected, thereby being fixed on an insulative substrate on which a wiring is formed, while the electrode extension conductor of the bottom-most semiconductor chip having an electrode extension conductor is electrically connected to the wiring on the insulative substrate, and the semiconductor chips are each electrically interconnected via the wiring on the insulative substrate, the electrode extension conductors and the electrodes.

In addition, in a second mode, a semiconductor apparatus according to the present invention is one where a plurality of polyhedral semiconductor chips, on which electrodes are formed on a plurality of surfaces, are laid over one another such that the electrodes of adjacent semiconductor chips are electrically interconnected, 5 and are fixed on an insulative substrate on which a wiring is formed, while the electrodes of the bottom-most semiconductor chip are electrically connected to the wiring on the insulative substrate, and the semiconductor chips are each electrically interconnected via the wiring on the insulative substrate and the electrodes.

Further, in a third mode, a semiconductor apparatus according to the present 10 invention is one where a first insulative substrate, on which a wiring is formed and which has a plurality of semiconductor chips, which are electrically interconnected via the wiring, fixed on the surface, is fixed on a second insulative substrate on which a wiring is similarly formed, and a plurality of structures, in which the first insulative substrate and the second insulative substrate are electrically connected, are laid over 15 one another such that their respective second insulative substrates are electrically interconnected and are thus layered and fixed so as to electrically interconnect each of the semiconductor chips.

[Operation of the Invention]

20 In the first mode of the present invention, a plurality of semiconductor chips are arranged in layers, and the semiconductor chips are each electrically interconnected via their respective electrodes and electrode extension conductors as well as via a wiring on an insulative substrate. In a case where a plurality of structures, 25 in which a plurality of semiconductor chips are similarly layered, are arranged adjacent to one another on the same insulative substrate, the horizontally arrayed semiconductor chips are also electrically interconnected via their respective electrodes and electrode extension conductors. Therefore, the plurality of semiconductor chips are electrically interconnected, and are arranged three-dimensionally on the insulative substrate.

30 In the second mode of the present invention, a plurality of semiconductor chips are arranged in layers on an insulative substrate, and the semiconductor chips are each electrically interconnected via their respective electrodes and a wiring on the insulative substrate. In a case where a plurality of structures, in which a plurality of semiconductor chips are similarly layered, are arranged adjacent to one another on 35 the same insulative substrate, the horizontally arrayed semiconductor chips are also electrically interconnected via the electrodes formed on their respective side-facing

surfaces. Therefore, the plurality of semiconductor chips are electrically interconnected, and are arranged three-dimensionally on the insulative substrate.

In the third mode of the present invention, a plurality of first insulative substrates, on which a plurality of semiconductor chips are electrically interconnected and fixed, are fixed in layers with a plurality of second insulative substrates in between, and the semiconductor chips are each electrically interconnected via wirings on the first insulative substrates and wirings on the second insulative substrates. Therefore, the plurality of semiconductor chips are electrically interconnected, and are arranged three-dimensionally.

10

[Embodiments]

Fig. 1 is a front elevational view showing a first embodiment of a semiconductor apparatus according to the present invention. In the figure, 1 indicates an insulative substrate on whose surface a wiring is formed. A plurality of external electrodes 2 that achieve an electrical connection with the outside are formed on the reverse side of this insulative substrate 1. These external electrodes 2 are electrically connected to the wiring on the other side. A plurality of structures, in which a plurality of semiconductor chips 8 having an electrode extension conductor are layered, are positioned on the surface of the insulative substrate 1 in an array so as to be adjacent to one another.

Fig. 2 is a perspective view showing the semiconductor chip 8 having an electrode extension conductor mentioned above. Fig. 3 shows a vertical cross sectional view of the semiconductor chip 8 having an electrode extension conductor. The semiconductor chip 8 having an electrode extension conductor is one that is configured by connecting an electrode extension conductor 9 to each electrode 6 of the semiconductor chip 3. The configuration of the semiconductor chip 3 itself is the same as in the case of a conventional apparatus. In other words, the semiconductor chip 3 is configured such that a circuit section 5 having various functions is formed in a silicon semiconductor substrate 4 having the shape of a rectangular parallelepiped of a planar form. On one of the faces are formed a plurality of the electrodes 6 formed of a metal such as Al, Cu, Au, solder or the like. Then, through contact portions 7 including a diffusion layer and a metal formed in the silicon semiconductor substrate 4, the circuit portion 5 mentioned above is electrically connected to the electrodes 6 on the surface. The electrode extension conductor 9 mentioned above is formed of a conductor having some degree of mechanical strength, in general a metal such as Cu, and is formed along each surface of the semiconductor chip 3, on which

the electrodes 6 are formed, starting from the top surface down to the back surface via the side surface so as to be bent in a U-shaped form. The electrode extension conductor 9 has the function of extending each of the connected electrodes 6 (one that is at any position of the main surface of the semiconductor substrate 4 would do)

- 5 to the side surface and the back surface of the semiconductor chip 3, and is configured such that it can connect with the electrode extension conductor 9 of another semiconductor chip 3 through contact, pressure welding, fusing and the like.

In the semiconductor apparatus shown in Fig. 1, by having the electrode extension conductors 9 of each semiconductor chip 8 having an electrode extension

- 10 conductor, which are laid over one another, electrically interconnected, and the bottom-most electrode extension conductor 9 electrically connected to the wiring on the insulative substrate 1, the vertically arrayed semiconductor chips 3 are each electrically interconnected, and fixed at the same time, via the electrodes 6 and

- 15 electrode extension conductors 9 of each semiconductor chip 3 and the wiring on the insulative substrate 1. In addition, the electrode extension conductors 9 are electrically interconnected and fixed between the semiconductor chips 8 having an electrode extension conductor that are adjacent in the horizontal direction, and thus a semiconductor apparatus in which a plurality of semiconductor chips 8 having an electrode extension conductor are mounted in a three-dimensional arrangement is configured. A sealing member not shown in the figure is separately provided on the insulative substrate 1 so as to protect the semiconductor chips 3 and the wiring on the insulative substrate 1 from external environments.

In the semiconductor apparatus thus configured, the plurality of semiconductor chips 3 arranged in layers on the insulative substrate 1 are electrically connected with the semiconductor chips 3 adjacent above and below, to the left and

- 25 to the right, and in front and behind via the electrode extension conductors 9, and are also connected to the wiring on the insulative substrate 1. Thus, the circuit section 5 of each semiconductor chip 3 is combined, and a circuit having more advanced functions is configured. Between the circuit thus obtained and the outside, signals can be transferred via the external electrodes 2 formed on the insulative substrate 1.

In addition, through the electrical connection mentioned above, since all the semiconductor chips 3 are fixed in a three-dimensional arrangement on the insulative substrate 1, the mounting density of the semiconductor chips 3 becomes greater, the length of the wiring between each of the semiconductor chips 3 becomes shorter accordingly, and the propagation delay and attenuation of the electrical signals outputted from the semiconductor chips 3 are suppressed.

In the embodiment above, a case where the electrode extension conductors 9 of the bottom-most semiconductor chips 3, which are arranged three-dimensionally, are directly connected electrically to the wiring on the insulative substrate 1 is indicated. However, a separate but similar insulative substrate may exist in between.

5 In addition, solids or liquids, such as inorganic or organic materials, may mediate, for insulation, the gaps provided between the electrode extension conductors 9 and the surface of the semiconductor chips 3.

10 Fig. 4 is an external perspective view showing a second embodiment of a semiconductor apparatus according to the present invention, and Fig. 5 shows a front elevational view of that semiconductor apparatus. In the drawings, the insulative substrate 1 and the external electrodes 2 are the same as in the first embodiment, and descriptions thereof will herein be omitted. A plurality of structures, in which a plurality of semiconductor chips 3a are layered, are arranged so as to be adjacent to one another on the surface of the insulative substrate 1.

15 Fig. 6 is a perspective view showing a cross section of a portion of the semiconductor chip 3a mentioned above. The semiconductor chip 3a is configured such that a circuit section 5 having various functions is formed in a silicon semiconductor substrate 4 having the shape of a rectangular parallelepiped of a planar form. On a plurality of faces thereof are formed a plurality of electrodes 6 formed of Al, Cu, Au, solder or some other metal, or of combinations of such metals. 20 The fact that these electrodes 6 are electrically connected to the circuit section 5 mentioned above via contact portions 7 formed in the silicon semiconductor substrate 4 is the same as in the case of a conventional apparatus. In addition, these electrodes 6 are connectible with the electrodes 6 of other semiconductor chips 3a through 25 contact, pressure welding, fusing and the like.

30 In the semiconductor apparatus shown in Fig. 4 and Fig. 5, the electrodes 6 on the upper surface side of each of the semiconductor chips 3 layered vertically are electrically interconnected with the electrodes 6 on the lower surface side of the semiconductor chip 3a in the layer above, and between the semiconductor chips 3a that are adjacent sideways, opposing electrodes 6 are also electrically interconnected. Further, the bottom-most semiconductor chip 3a has the electrodes 6 on the bottom 35 surface thereof electrically connected to the wiring on the insulative substrate 1, and through the configuration above, the semiconductor chips 3a are each electrically interconnected, and simultaneously fixed, by their respective electrodes 6 and the wiring on the insulative substrate 1. In addition, the fact that a sealing member not shown in the drawings for protecting the semiconductor chips 3a and the wiring on

the insulative substrate 1 from external environments is provided separately on the insulative substrate 1 is the same as in the first embodiment.

In the semiconductor apparatus thus configured, the plurality of semiconductor chips 3a arranged in layers on the insulative substrate 1 are electrically connected with the semiconductor chips 3a adjacent above and below, to the left and to the right, and in front and behind via the electrodes 6, and are also connected to the wiring on the insulative substrate 1. Thus, the circuit section 5 of each semiconductor chip 3a is combined, and a circuit having more advanced functions is configured. Between the circuit thus obtained and the outside, signals can be transferred via the external electrodes 2 formed on the insulative substrate 1.

In addition, through the electrical connection mentioned above, since all the semiconductor chips 3a are fixed in a three-dimensional arrangement on the insulative substrate 1, the mounting density of the semiconductor chips 3a becomes greater, the length of the wiring between each of the semiconductor chips 3a becomes shorter accordingly, and the propagation delay and attenuation of the electrical signals outputted from the semiconductor chips 3a are suppressed.

In the embodiment above, a case where the electrodes 6 of the bottom-most semiconductor chips 3a, which are arranged three-dimensionally, are directly connected electrically to the wiring on the insulative substrate 1 is indicated. However, a separate but similar insulative substrate may exist in-between.

Fig. 7 is a vertical cross-sectional view showing a third embodiment of a semiconductor apparatus according to the present invention, and in the drawing, 1a indicates first insulative substrates on which a plurality of semiconductor chips 3 are directly arranged and fixed, and 1b indicates a different first insulative substrate on which a plurality of the semiconductor chips 3 are fixed with mediating insulative substrates 10 in between. The configuration of the semiconductor chips 3 fixed on each of the first insulative substrates 1a and 1b are the same as in the case of a conventional apparatus, and a description thereof will herein be omitted.

Fig. 8(A) is a plan view showing a state in which a plurality of the semiconductor chips 3 are arrayed and fixed in a plane on the first insulative substrate 1a mentioned above, and Fig. 8(B) shows a front elevational view of that insulative substrate 1a. A wiring is formed on this insulative substrate 1a, and the semiconductor chips 3 are each fixed on the insulative substrate 1a by electrically connecting electrodes 6 formed on one surface thereof to the wiring mentioned above. A plurality of external electrodes 2a for achieving electrical connections with the outside are formed on the peripheral edge portion of the insulative substrate 1a, and these

external electrodes 2a are electrically connected to the wiring.

Fig. 9(A) is a plan view showing a state in which a plurality of the semiconductor chips 3 are arrayed and fixed in a plane on the different first insulative substrate 1b mentioned above, Fig. 9(B) shows a plan view of that insulative substrate 1b, and Fig. 9(C) shows a side view of that insulative substrate 1b. A wiring is formed on this insulative substrate 1b, too, and a plurality of mediating insulative substrates 10 are arrayed and fixed in a given direction thereon. And these semiconductor chips 3 are electrically connected to the wiring on the first insulative substrate 1b via wirings of the mediating insulative substrates 10. In other words, a plurality of the semiconductor chips 3 are arrayed and fixed on the first insulative substrate 1b with the plurality of mediating insulative substrates 10 in between, while at the same time those semiconductor chips 3 are electrically interconnected via the wirings of the mediating insulative substrates 10 and the wiring on the first insulative substrate 1b. A plurality of external electrodes 2b for achieving electrical connections with the outside are also provided on the peripheral edge portion of this first insulative substrate 1b, and these external electrodes 2b are electrically connected to the wiring on the first insulative substrate 1b.

Fig. 10 is an external perspective view showing a second insulative substrate 11a for supporting and fixing the two kinds of first insulative substrates 1a and 1b mentioned above. This second insulative substrate 11a has a frame-like form with its approximate shape being rectangular, and the inner portion is formed to be lower than the outer portion such that there is created a difference in height. And wirings 12a are formed on both the outer portion and the inner portion of the insulative substrate 11a.

In the semiconductor apparatus shown in Fig. 7, a structure, in which the first insulative substrate 1a shown in Figs. 8(A) and (B) is fixedly supported by the second insulative substrate 11a, is layered in two layers, and further, a structure, in which the different first insulative substrate 1b shown in Figs. 9(A) through (C) is fixedly supported by the second insulative substrate 11a, is arranged on top of that. The first insulative substrate 1a is fixed by placing its external electrodes 2a on top of the inner portion of the second insulative substrate 11a and electrically connecting them with the wirings 12a of the inner portion. In addition, the different first insulative substrate 1b is similarly fixed by placing its external electrodes 2b on top of the inner portion of the second insulative substrate 11a and electrically connecting them with the wirings 12a of the inner portion. In addition, each of the three layers of the second insulative substrates 11a that are fixedly supporting the first insulative

substrates 1a and 1b are concatenated by electrically connecting their respective wirings 12a above and below their outer portions. These three layers of the second insulative substrates 1la are placed on top of a different second insulative substrate 1lb, in which a plurality of external electrodes 13 and wirings 12b are formed, and they are
5 joined by electrically connecting the wirings 12a and the wirings 12b. Further, on top of the three layers of the second insulative substrates 1la is placed a still different second insulative substrate 1lc, on which wirings 12c are formed, and they are joined by electrically connecting the wirings 12a and the wirings 12c. A chassis is configured by the three layers of the second insulative substrates 1la mentioned above and the
10 different second insulative substrates 1lb and 1lc positioned above and below. Each of the first insulative substrates 1a and 1b are in a state in which they are fixedly supported by being enclosed by this chassis. In addition, this chassis is provided with a sealing member, which is not shown in the drawing, for protecting the semiconductor chips 3 and the wirings on the first and second insulative substrates 1a, 1b, 1la, 1lb and 1lc from
15 external environments.

In the semiconductor apparatus thus configured, the plurality of semiconductor chips 3 fixedly arrayed directly in a plane on the first insulative substrates 1a layered in two layers, and the plurality of semiconductor chips 3 fixedly arrayed on the different first insulative substrate 1b with the plurality of mediating insulative substrate 10 in between form, as a whole, a three-dimensional arrangement layered in three layers, and further, because the semiconductor chips 3 are each electrically interconnected, the circuit sections of the respective semiconductor chips 3 are combined, thereby configuring a circuit having more advanced functions. Between the circuit thus obtained and the outside, signals can be transferred via the
20 external electrodes 13 of the second insulative substrate 1lb.
25

At the stage where the plurality of semiconductor chips 3 are attached on the first insulative substrate 1a or 1b, because a portion of all the functions the semiconductor apparatus is to be equipped with is formed, it is possible to test the first insulative substrate 1a or 1b as a partial system. The scale of this partial system is
30 determined by the number of semiconductor chips 3 to be provided thereon. Therefore, if the number of semiconductor chips 3 is small, the scale of the partial system becomes smaller, and testing becomes easier.

In addition, because all the semiconductor chips 3 are fixed in a three-dimensional arrangement as mentioned above, the mounting density of the semiconductor chips 3 becomes greater, the length of the wiring between each of the semiconductor chips 3 becomes shorter accordingly, and the propagation delay and
35

attenuation of the electrical signals outputted from the semiconductor chips 3 are suppressed.

In each of the embodiments above, a description was given with respect to an example in which silicon semiconductor substrates were used for the semiconductor substrates constituting the semiconductor chips 3 and 3a, however other semiconductor substrates, such as Ge, Ga, As and the like, may be used.

In addition, not all of the semiconductor chips 3 and 3a need have circuit sections, and there may be included those in which only wirings for electrically connecting the semiconductor chips 3 and 3a are formed.

Further, passive elements, such as resistors, capacitors, coils and the like, may also be mixed in the semiconductor apparatuses mentioned above, and heat dissipating and cooling functions through liquid-cooling and air-cooling may be added to this semiconductor apparatus. In addition, a gaseous, liquid or solid substance may be filled inside the semiconductor apparatus.

[Effects of the Invention]

Thus, according to the present invention, because a plurality of semiconductor chips are arranged three-dimensionally, and are configured so as to be electrically connectible with ease, the mounting density of the semiconductor chips can be made greater easily, and the length of the wiring between each of the semiconductor chips can be made shorter to suppress a drop in performance of the semiconductor chips due to propagation delay and attenuation of electrical signals.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a front elevational view showing the first embodiment of a semiconductor apparatus according to the present invention, Fig. 2 is an external perspective view showing a semiconductor chip having an electrode extension conductor used in that semiconductor apparatus, Fig. 3 is a vertical cross-sectional view of that semiconductor chip having an electrode extension conductor, Fig. 4 is an external perspective view showing a second embodiment of a semiconductor apparatus according to the present invention, Fig. 5 is a front elevational view thereof, Fig. 6 is a perspective view showing a cross section of a portion of a semiconductor chip used in that semiconductor apparatus, Fig. 7 is a vertical cross sectional view showing a third embodiment of a semiconductor apparatus according to the present invention, Fig. 8(A) and Fig 8(B) are a plan view and a front elevational view, respectively, showing a first insulative substrate in that semiconductor apparatus, Fig.

9(A), Fig. 9(B) and Fig. 9(C) are a plan view, a front elevational view and a side view, respectively, showing a different first insulative substrate in that semiconductor apparatus, Fig. 10 is a perspective view showing one of the second insulative substrates in that semiconductor apparatus, Fig. 11 is an external perspective view showing a conventional semiconductor apparatus, Fig. 12 is a front elevational view thereof, and Fig. 13 is a perspective view showing a cross section of a portion of a semiconductor chip used in that semiconductor apparatus.

In the figures, 1 indicates an insulative substrate, 1a and 1b insulative substrates, 2a, 2b and 13 external electrodes, 3 and 3a semiconductor chips, 6 an electrode, 8 a semiconductor chip having an electrode extension conductor, 9 an electrode extension conductor, and 11a a second insulative substrate.

In the figures, like reference numerals indicate the same or equivalent portions.

15 Agent Masuo OOIWA

⑫ 公開特許公報 (A) 平2-1962

⑩ Int. Cl. 5

H 01 L 25/04
25/065
25/07
25/18

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月8日

7638-5F H 01 L 25/04
7638-5F 25/08

Z

B

審査請求 未請求 請求項の数 3 (全9頁)

④ 発明の名称 半導体装置

② 特願 昭63-144315

② 出願 昭63(1988)6月10日

⑦ 発明者 吉田 美義 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑧ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑨ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 表面上に複数の電極が形成された半導体チップの各電極に、該半導体チップの表面に沿って延びる電極延長導体を電気的に接続して形成した電極延長導体付き半導体チップの複数個を、隣接する前記電極延長導体付き半導体チップ同士の沿極延長導体が相互に電気的に接続されるよう重ねて、配線の形成された絶縁基板上に固定するとともに、最下段の前記電極延長導体付き半導体チップの電極延長導体を前記絶縁基板上の前記配線に電気的に接続して、該絶縁基板上の配線と前記電極とを介して各前記半導体チップ相互間を電気的に接続したことを特徴とする半導体装置。

(2) 電極を複数の面に分けて形成した多面体の半導体チップの複数個を、隣接する半導体チップ同士の電極が相互に電気的に接続されるよう

重ねて、配線の形成された絶縁基板上に固定するとともに、最下段の前記半導体チップの電極を前記絶縁基板上の前記配線に電気的に接続して、該絶縁基板上の配線と前記電極とを介して各前記半導体チップ相互間を電気的に接続したことを特徴とする半導体装置。

(3) 配線が形成され、その配線を介して相互に電気的に接続される複数個の半導体チップが表面上に固定された第1の絶縁基板を、同じく配線の形成された第2の絶縁基板上に固定し、前記第1の絶縁基板と前記第2の絶縁基板の間に電気的に接続して成る構成体の複数組を、相互の前記第2の絶縁基板同士を電気的に接続して重ねることによって積層固定し、各前記半導体チップ相互間を電気的に接続したことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、相互に電気的に接続される複数個の半導体チップを高密度に実装した半導体装置に関するものである。

(従来の技術)

第11図はこの種の従来の半導体装置を示す外観斜視図であり、第12図はその半導体装置の正面図である。図において1は表面に配線の形成された絶縁基板であり、その表面には外部との電気的接続をはかる複数個の外部電極2が形成されている。この外部電極2は表面の配線と電気的に接続されている。絶縁基板1の表面には複数個の半導体チップ3が固定されている。

第13図は上記した半導体チップ3の一部を縦に破断して示す斜視図である。この半導体チップ3は、平板状の直方体をなすシリコン半導体基板4に各種の機能（たとえば記憶、演算、増幅、駆動などの能動機能）を持つ回路部分5を形成して構成され、その1つの面にはAl, Cu, Au, 半円などの金属からなる複数の出極6が形成されている。そして、シリコン半導体基板4の中に形成された拡散層や金属からなるコンタクト部分7を介して、上記した回路部分5が表面の電極6と電気的に接続されている。

チップ3の一面上に形成された電極6を、絶縁基板1上に形成された配線に電気的に接続することによって、同時に絶縁基板1上に半導体チップ3を固定する構成としているため、絶縁基板1上に複数の半導体チップ3を平面的に並べざるを得ない。しかしながら、このような構成では、半導体装置の機能をより高度化、高性能化しようとして絶縁基板1に搭載する半導体チップ3の数を増やすと、それだけ絶縁基板1の面積を大きくしなければならなくなるばかりか、各半導体チップ3間を接続する配線が長くなつて、各半導体チップ3から出力される電気信号の伝搬遅延や減衰が大きくなり、半導体チップ3が本来持っている性能を十分發揮させることができない。したがつて従来の半導体装置では、半導体チップ数をそれ程増加させることができず、半導体装置の機能を十分に高性能化できないという問題点があつた。

この発明は、このような問題点を解消するためになされたもので、性能低下を小さく抑えて多数の半導体チップを高密度に組み込むことのできる

第11図および第12図に示す半導体装置では、各半導体チップ3の電極6を絶縁基板1上に形成された配線に電気的に接続することによって、各半導体チップ3相互が絶縁基板1上の配線を介して電気的に接続されるとともに、各半導体チップ3の絶縁基板1への固定もはかられている。なお、第11図および第12図には省略しないが、絶縁基板1には半導体チップ3やそれらを相互に電気的に接続する配線を外部環境から保護するための封止部材が別に設けられる。

上記のように構成された半導体装置では、複数個の半導体チップ3が絶縁基板1の配線を介して相互に電気的に接続されるので、各半導体チップ3の回路部分5が複合して、より高度な機能を持つ回路が構成されるともになり、このようにして得られた回路と外部との間では、絶縁基板1に形成されている外部電極2を介して信号の授受を行うことができる。

(発明が解決しようとする課題)

従来の半導体装置は上記したように、半導体チ

ップ3の一面上に形成された電極6を、絶縁基板1上に形成された配線に電気的に接続することによって、同時に絶縁基板1上に半導体チップ3を固定する構成としているため、絶縁基板1上に複数の半導体チップ3を平面的に並べざるを得ない。

しかしながら、このような構成では、半導体装置の機能をより高度化、高性能化しようとして絶縁基板1に搭載する半導体チップ3の数を増やすと、それだけ絶縁基板1の面積を大きくしなければならなくなるばかりか、各半導体チップ3間を接続する配線が長くなつて、各半導体チップ3から出力される電気信号の伝搬遅延や減衰が大きくなり、半導体チップ3が本来持っている性能を十分発揮させることができない。したがつて従来の半導体装置では、半導体チップ数をそれ程増加させることができず、半導体装置の機能を十分に高性能化できないという問題点があつた。

また第2の態様において、この発明に係る半導体装置は、電極を複数の面に分けて形成した多面体の半導体チップの複数個を、隣接する半導体チップ同士の電極が相互に電気的に接続されるようになれて、配線の形成された絶縁基板上に固定す

るとともに、最下段の半導体チップの電極を絶縁基板上の配線に電気的に接続して、絶縁基板上の配線と電極とを介して各半導体チップ相互間を電気的に接続したものである。

さらに第3の態様において、この発明に係る半導体装置は、配線が形成され、その配線を介して相互に電気的に接続される複数個の半導体チップが表面に固定された第1の絶縁基板を、同じく配線の形成された第2の絶縁基板上に固定し、第1の絶縁基板と第2の絶縁基板の間を電気的に接続して成る構成体の複数組を、相互の第2の絶縁基板同士を電気的に接続して重ねることによって積層固定し、各半導体チップ相互間を電気的に接続したものである。

(作用)

この発明の第1の態様においては、絶縁基板上に複数個の半導体チップが重ねて配置され、各半導体チップ相互間は各々の電極および電極延長導体と絶縁基板の配線を介して電気的に接続される。同一絶縁基板上に同じように複数の半導体チップ

を重ねた構成を複数組互いに隣接して配置した場合には、横に並ぶ半導体チップ相互の間も各々の電極および電極延長導体を介して電気的に接続される。したがって、複数の半導体チップは相互間を電気的に接続されて絶縁基板上で3次元的に配置される。

この発明の第2の態様においては、絶縁基板上に複数個の半導体チップが重ねて配置され、各半導体チップ相互間は各々の電極と絶縁基板の配線を介して電気的に接続される。同一絶縁基板上に同じように複数の半導体チップを重ねた構成を複数組互いに隣接して配置した場合には、横に並ぶ半導体チップ相互の間も各々の横向き面に形成されている沿極を介して電気的に接続される。したがって、複数の半導体チップは相互間を電気的に接続されて絶縁基板上で3次元的に配置される。

この発明の第3の態様においては、複数個の半導体チップを相互に電気的に接続して固定した第1の絶縁基板の複数個が第2の絶縁基板の複数個を介して積層固定され、各半導体チップ相互間は

第1の絶縁基板の配線と第2の絶縁基板の配線を介して電気的に接続される。したがって、複数の半導体チップは相互間を電気的に接続されて3次元的に配置される。

(実施例)

第1図はこの発明による半導体装置の第1の実施例を示す正面図である。図において、1は表面に配線の形成された絶縁基板である。この絶縁基板1の裏面には外部との電気的接続をはかる複数個の外部電極2が形成されている。この外部電極2は表面側の配線と電気的に接続されている。絶縁基板1の表面には複数個の電極延長導体付き半導体チップ8を積層したものが複数組、互いに隣り合うように並べて配置されている。

第2図は上記した電極延長導体付き半導体チップ8を示す斜視図である。第3図はその電極延長導体付き半導体チップ8の横断面図を示す。この電極延長導体付き半導体チップ8は、半導体チップ3の各電極6に電極延長導体9を電気的に接続して構成したものである。半導体チップ3自体の

構成については従来装置の場合と同一である。すなわち、半導体チップ3は、平板状の直方体をなすシリコン半導体基板4に各種の機能を持つ回路部分5を形成して構成され、その1つの面にA U, C U, H U, 半田などの金属からなる複数の電極6が形成されている。そして、シリコン半導体基板4の中に形成された拡散層や金属からなるコンタクト部分7を介して、上記した回路部分5が表面の電極6と電気的に接続されている。上記した電極延長導体9はある程度の機械的強度を有する導電体、一般にはC Uなどの金属からなり、電極6の形成された半導体チップ3の上面から側面を経て裏面へと各面に沿うようにコ字状に折曲して形成されており、それぞれ接続された電極6(半導体基板4の正面のいずれの位置にあるものでもよい)を半導体チップ3の側面側および裏面側に延長する機能を持つとともに、他の半導体チップ3の電極延長導体9と接触、圧接、溶融などで接続できるように構成されている。

第1図に示す半導体装置では、上下に重ねられ

た各電極延長導体付き半導体チップ8の電極延長導体9同士が互いに電気的に接続され、また最下段の電極延長導体9が絶縁基板1上の配線に電気的に接続されることによって、上下に並ぶ各半導体チップ3相互の間は各々の半導体チップ3の電極6および電極延長導体9と絶縁基板1上の配線を介して電気的に接続され、同時に固定されている。また、横方向に隣り合う電極延長導体付き半導体チップ8の間でも、電極延長導体9同士は互いに電気的に接続されまた固定されており、このようにして複数の電極延長導体付き半導体チップ8を3次元配置で実装した半導体装置が構成されている。上記した絶縁基板1には、半導体チップ3や絶縁基板1上の配線を外部環境から保護するため図示しない封止部材が別に設けられる。

上記のように構成された半導体装置では、絶縁基板1上に積層配置された複数個の半導体チップ3が上下、左右、前後で隣り合う半導体チップ3と電極延長導体9を介して電気的に接続され、また絶縁基板1の配線にも電気的に接続されるので、

第4図はこの発明による半導体装置の第2の実施例を示す外観斜視図であり、第5図はその半導体装置の正面図を示す。図において、絶縁基板1および外部電極2は第1の実施例と同じであり、ここではその説明を省略する。絶縁基板1の表面には複数個の半導体チップ3aを積層したものが複数組、互いに隣り合うように並べて配置されている。

第6図は上記した半導体チップ3aの一部を縦に破断して示す斜視図である。この半導体チップ3aは、平板状の直方体をなすシリコン半導体基板4に各種の機能を持つ回路部分5を形成して構成され、その複数の面上にAl、Cu、Au、半導体あるいはその他の金属、またはそのような金属の組合せからなる複数の電極6が形成されている。これらの電極6がシリコン半導体基板4の中に形成されたコンタクト部分7を介して上記した回路部分5と電気的に接続されていることは、従来装置の場合と同じである。またこれらの電極6は、他の半導体チップ3aの電極6と接触、圧接、溶

接などにより接続可能である。

各半導体チップ3の回路部分5が複合して、より高度な機能を持つ回路が構成されることになる。このようにして得られた回路と外部との間では、絶縁基板1に形成されている外部電極2を介して信号の授受を行うことができる。

また、上記した電気的な接続によって、すべての半導体チップ3が絶縁基板1上に3次元の配置をなして固定されるので、半導体チップ3の搭載密度が高くなり、各半導体チップ3間の配線長がそれだけ短くなつて、半導体チップ3から出力される電気信号の伝搬遅延や減衰が低く抑えられることになる。

なお、上記実施例では、3次元配置した半導体チップ3の最下段の電極延長導体9を直接、絶縁基板1上の配線に電気的に接続した場合について示したが、その間に、さらに別の同様の絶縁基板が介在してもよい。

また、電極延長導体9と半導体チップ3の表面の間に与えられる空隙には無機物あるいは有機物などの固体、液体を介在させて絶縁してもよい。

第4図および第5図に示す半導体装置では、上下に重ねられた各半導体チップ3aの上面側の電極6とその上段の半導体チップ3aの下面側の電極6とが互いに電気的に接続され、また横方向に隣り合う半導体チップ3aの間でも対向し合う側面の電極6同士が互いに電気的に接続されている。さらに最下段の半導体チップ3aはその下面の電極6が絶縁基板1上の配線に電気的に接続されており、以上の構成によって、各半導体チップ3a相互間はそれぞれの電極6と絶縁基板1上の配線とによって電気的に接続され、同時に固定されている。また半導体チップ3aや絶縁基板1上の配線を外部環境から保護するための図示しない封止部材が、絶縁基板1に別に設けられることは第1の実施例の場合と同様である。

上記のように構成された半導体装置では、絶縁基板1上に積層配置された複数個の半導体チップ3aが上下、左右、前後で隣り合う半導体チップ3aと電極6を介して電気的に接続され、また絶

絶縁基板1の配線にも電気的に接続されるので、各半導体チップ3aの回路部分5が複合して、より高度な機能を持つ回路が構成されることになる。このようにして得られた回路と外部との間では、絶縁基板1の外部電極2を介して信号の授受を行うことができる。

また、上記した電気的な接続によって、すべての半導体チップ3aが絶縁基板1上に3次元の配置をなして固定されるので、半導体チップ3aの搭載密度が高くなり、各半導体チップ3a間の配線長がそれだけ短くなつて、半導体チップ3aから出力される電気信号の伝播遅延や減衰が低く抑えられることになる。

なお、上記実施例では、3次元配置した半導体チップ3aの最下段の電極6を直接、絶縁基板1上の配線に電気的に接続した場合について示したが、その間に、さらに別の同様の絶縁基板が介在してもよい。

第7図はこの発明による半導体装置の第3の実施例を示す概断面図であり、図において1aは複数個の半導体チップ3aを示す。

第7図はこの発明による半導体装置の第3の実施例を示す概断面図であり、図において1aは複数個の半導体チップ3aを示す。この絶縁基板1a上には複数個の半導体チップ3aが平面的に配列され、各半導体チップ3aの電極6は、絶縁基板1aの内周部に形成された配線7aと電気的に接続されている。また、絶縁基板1aの外周部には複数個の外部電極2aが形成され、これらの外部電極2aは絶縁基板1aの内周部に形成された配線7aと電気的に接続されている。このようにして得られた回路と外部との間では、絶縁基板1の外部電極2を介して信号の授受を行うことができる。

放熱の半導体チップ3を直接配置して固定した第1の絶縁基板であり、1bは複数個の半導体チップ3を介して固定した別の第1の絶縁基板である。各第1の絶縁基板1a、1bに固定されている半導体チップ3の構成は従来装置の場合と同一であり、ここではその説明を省略する。

第8図(A)は上記した第1の絶縁基板1aに複数個の半導体チップ3が平面的に配列されて固定されている状態を示す平面図であり、第8図(B)はその絶縁基板1aの正面図を示す。この絶縁基板1a上には配線が形成されており、各半導体チップ3はその一面に形成された電極6を上記配線に電気的に接続することによって絶縁基板1a上に固定されている。絶縁基板1aの周縁部には外部と電気的接続をはかるための外部電極2aが複数個形成され、これらの外部電極2aは配線と電気的に接続されている。

第9図(A)は上記した別の第1の絶縁基板1bに複数個の半導体チップ3が平面的に配列され

bは第1の絶縁基板1b上の配線と電気的に接続されている。

第10図は、上記した2種類の第1の絶縁基板1a、1bを支持固定するための第2の絶縁基板11aを示す外観斜視図であり、この第2の絶縁基板11aは断面が方形をなす枠状で、外周部に対して内周部が段差をなすように低く形成されている。そして、その絶縁基板11a外周部および内周部にはそれぞれ配線12aが形成されている。

第7図に示す半導体装置では、第2の絶縁基板11aに第8図(A)、(B)に示す第1の絶縁基板1aを支持固定した構造体が2段に積附され、さらにその上には第2の絶縁基板11aに第9図(A)～(C)に示す別の第1の絶縁基板1bを支持固定した構造体が重ねて配置されている。第1の絶縁基板1aはその外部電極2aを第2の絶縁基板11aの内周部の上に載せて、その内周部の配線12aと電気的に接続することによって固定されている。また、別の第1の絶縁基板1bについても同様に、その外部電極2bを第2の絶縁基板11aの外周部の上に載せて、その外周部の配線12bと電気的に接続することによって固定されている。

基板11aの内周部の上に載せて、その内周部の配線12aと電気的に接続することによって固定されている。また第1の絶縁基板1a, 1bを支持固定している3層のそれぞれの第2の絶縁基板11aは、それらの外周部の上下において互いの配線12a同士を電気的に接続することによって連結されている。これら3層の第2の絶縁基板11aは、複数個の外部電極13と配線12bとが形成された別の第2の絶縁基板11bの上に重ねられ、配線12aと配線12bとを電気的に接続することによってこれらの間が連結されている。さらに、3層の第2の絶縁基板11aの上には、配線12cが形成されたさらに別の第2の絶縁基板11cが重ねられ、配線12aと配線12cとを電気的に接続することによってこれらの間が連結されている。上記した3層の第2の絶縁基板11aと、その上下に位置する別々の第2の絶縁基板11b, 11cとによって筐体が構成され、それぞれの第1の絶縁基板1a, 1bはこの筐体に囲まれて支持固定された状態となる。また半導体

チップ3や第1, 第2の絶縁基板1a, 1b, 11a, 11b, 11c上の配線を外部環境から保護するための図示しない封止部材がこの筐体に対して設けられる。

上記のように構成された半導体装置では、2段に積層された第1の絶縁基板1a上に直接平面的に配列固定された複数個の半導体チップ3と、別の第1の絶縁基板1b上に複数個の伸介絶縁基板10を介して配列固定された複数個の半導体チップ3が、全体として3段に積層された3次元配置をなしており、しかも各半導体チップ3相互間は沿気的に接続されることになるので、各半導体チップ3の回路部分が複合して、より高度な機能を持つ回路が構成されることになる。このようにして得られた回路と外部との間では、第2の絶縁基板11bの外部電極13を介して信号の授受を行うことができる。

第1の絶縁基板1aあるいは1b上に複数の半導体チップ3を取り付けた段階では、半導体装置に搭載する全ての機能の一部を形成したことにな

るので、部分的なシステムとしてその第1の絶縁基板1aあるいは1bのテストを実施することができる。この部分的なシステムの規模は、そこに配置される半導体チップ3の数で決まるので、半導体チップ3の数が少なければその部分的なシステムの規模は小さくなり、テストが容易になる。

また、上記したようにすべての半導体チップ3が3次元配置をなして固定されるので、半導体チップ3の搭載密度が高くなり、各半導体チップ3間の配線長がそれだけ短くなって、半導体チップ3から出力される電気信号の伝搬遅延や減衰が低く抑えられることになる。

なお、以上の各実施例では、半導体チップ3, 3aを構成する半導体基板としてシリコン半導体基板を用いた例について説明したが、Ge, GaAsなど他の半導体基板を用いたものであってもよい。

また、半導体チップ3, 3aはすべて回路部分を持っている必要はなく、半導体チップ3, 3a間を電気的に接続する配線だけが形成されている

ものを含めてもよい。

さらに、上記した半導体装置には抵抗、コンデンサ、コイルなどの受動素子を混載してもよく、またこの半導体装置に液冷や空冷による放熱、冷却機能を付加してもよい。また半導体装置内に気体、液体、固体の物質を充填してもよい。

(発明の効果)

以上のようにこの発明によれば、多数個の半導体チップを3次元的に配置し、かつそれらの間を容易に沿気的に接続できるように構成したので、半導体チップの搭載密度を容易に高くすることができるとともに、各半導体チップ間の配線長を短くして電気信号の伝搬遅延や減衰などによる半導体チップの性能低下も低く抑えることができる。

4. 図面の簡単な説明

第1図はこの発明による半導体装置の第1の実施例を示す正面図、第2図はその半導体装置に用いられる電極延長導体付き半導体チップを示す外観斜視図、第3図はその電極延長導体付き半導体チップの縦断面図、第4図はこの発明による半導

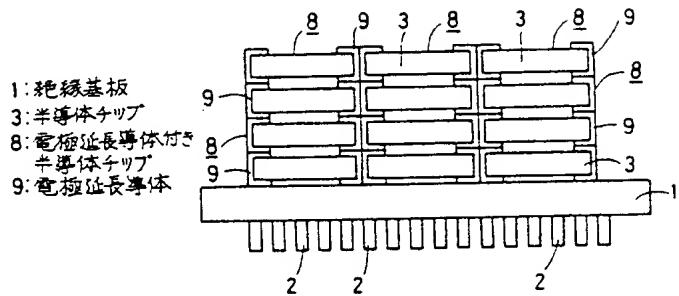
体装置の第2の実施例を示す外観斜視図、第5図はその正面図、第6図はその半導体装置に用いられる半導体チップの一部を縦断して示す斜視図、第7図はこの発明による半導体装置の第3の実施例を示す縦断面図、第8図(A)および第8図(B)はそれぞれその半導体装置における第1の絶縁基板を示す平面図および正面図、第9図(A)、第9図(B)および第9図(C)はそれぞれその半導体装置における別の第1の絶縁基板を示す平面図、正面図および側面図、第10図はその半導体装置における第2の絶縁基板の1つを示す斜視図、第11図は従来の半導体装置を示す外観斜視図、第12図はその正面図、第13図はその半導体装置に用いられる半導体チップの一部を縦断して示す斜視図である。

図において、1は絶縁基板、1a、1bは第1の絶縁基板、2a、2b、13は外部電極、3、3aは半導体チップ、6は電極、8は電極延長導体付き半導体チップ、9は電極延長導体、11aは第2の絶縁基板である。

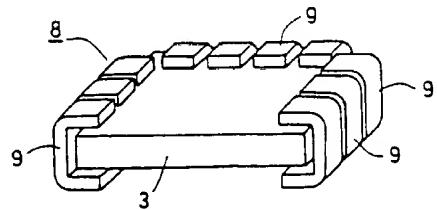
なお、各図中同一符号は同一または相当部分を示す。

代理人 人 岩 嵩 進

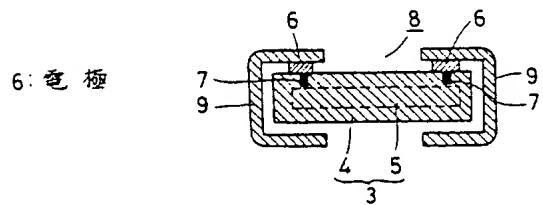
第1図



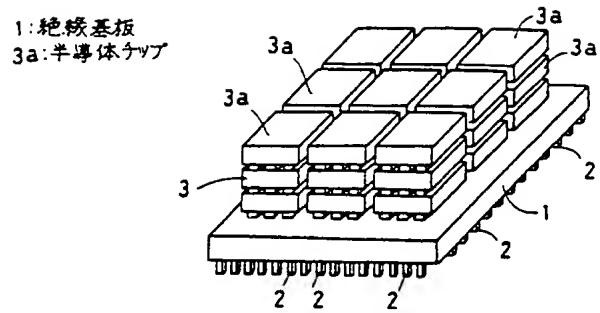
第2図



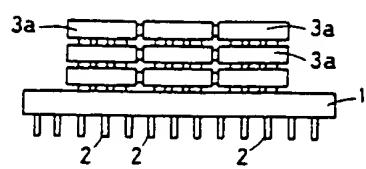
第3図



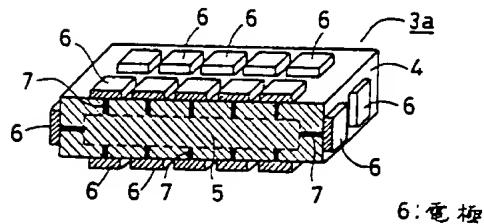
第4図



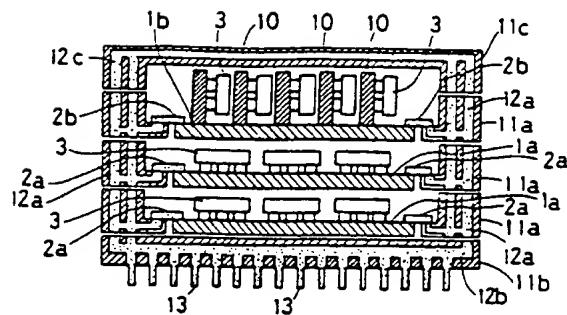
第5図



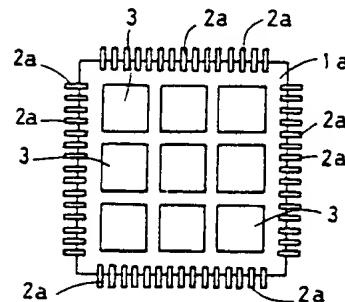
第6図



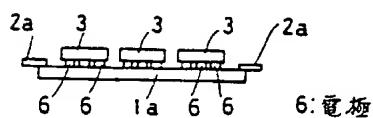
第7図



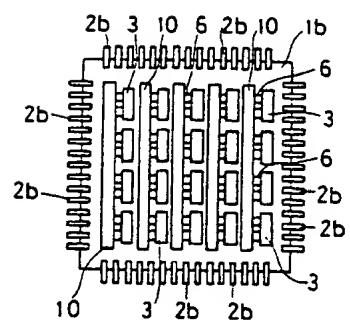
第8図(A)



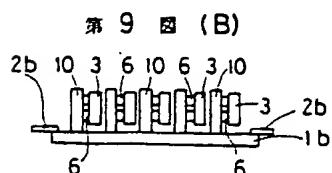
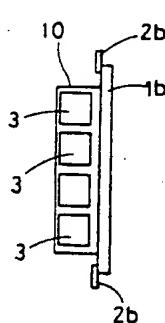
第8図(B)



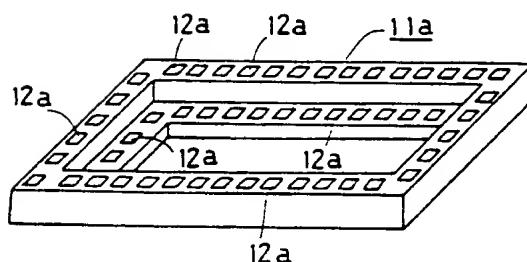
第9図(A)



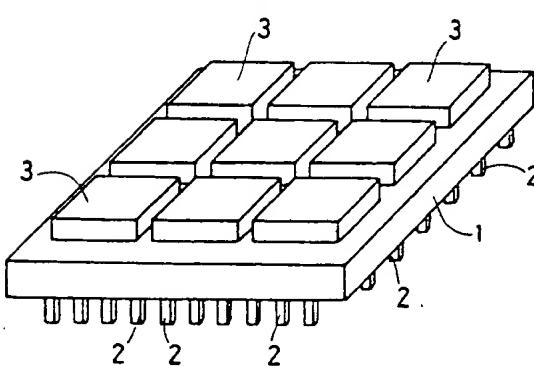
第9図(C)



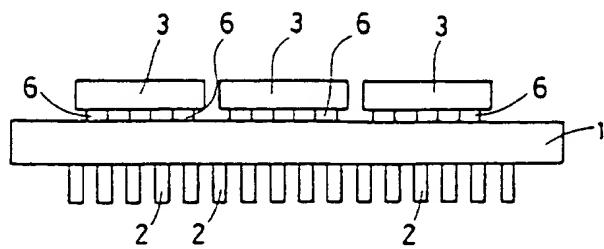
第10図



第11図



第12図



第13図

